

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
H03M 13/00(11) 공개번호 특 1998-057719
(43) 공개일자 1998년 09월 25일(21) 출원번호 특1996-077018
(22) 출원일자 1996년 12월 30일(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 장용덕
경기도 수원시 팔달구 매탄동 990 주공2단지아파트 122동 106호
(74) 대리인 이영팔
권석훈
윤창일

심사청구 있음

(54) 적응형 비터비 검출기

요약

적응형 비터비 검출기는 현재 상태의 두 개의 생존패스의 확률차를 측정하기 위한 차평가량값을 검출하는 검출기, 차평가량값을 갱신하는 메모리, 메모리로부터 출력되는 이전 차평가량값의 반전 부호비트와 검출기로부터 출력되는 현재 차평가량값의 반전 부호비트를 비교하여 수신신호가 트래리스도상에서 합류된 상태를 나타내는 업데이트신호를 발생하는 발생기, 바로 전 합류될 때의 이전 수신신호의 부호비트와 현재 수신신호의 부호비트에 따라 검출데이터를 추출하는 추출기와 업데이트신호에 따라 검출데이터를 저장하여 최종 생존패스에 해당하는 데이터를 저장하는 패스메모리를 포함하여 두 개의 상태에 대한 차 평가량을 하나의 비교기를 사용하여 구하고, 패스메모리의 구조는 레지스터 교환방법이 아닌 생존패스의 값만을 저장함으로써 전체 하드웨어량을 감소시킬 수 있다.

대표도

도 8

첨세서

도면의 간단한 설명

도 1은 일반적인 디지털 자기 기록재생장치의 블록도이다.

도 2는 도 1에 도시된 프리코더와 채널특성을 모델로 도시한 NRZI 시스템을 설명하기 위한 도면이다.

도 3은 디지털 입력신호와 채널을 통해 재생된 출력신호 사이의 상태변화에 따른 입출력관계를 도시한 도면이다.

도 4a 내지 도 4c는 도 3에 도시된 상태도에 따른 생존패스의 예를 보인 도면이다.

도 5는 종래의 적응형 비터비 검출기의 회로도이다.

도 6은 본 발명에 의한 적응형 비터비 검출기의 일 실시예에 따른 구성회로도이다.

도 7은 도 6에 도시된 문턱레벨 검출기의 상세회로도이다.

도 8은 도 6에 도시된 패스메모리의 상세회로도이다.

도 9a는 본 발명의 이해를 돕기 위한 트래리스도의 일 예이고, 도 9b는 도 9a의 트래리스도에 따른 도 6에 도시된 각 부의 출력을 나타낸 테이블이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 부분 응답 시스템에 있어서 적응형 비터비 검출기에 관한 것으로, 특히 하드웨어가 간단하고 복호 성능이 우수한 적응형 비터비 검출기에 관한 것이다.

부분 응답(PR: Partial Response) 시스템에 있어서 입력된 디지털 신호(-1과 1의 2차 부호화정보)는 채널을 통해 3차 신호로 출력되고, 채널을 통해 수신된 신호는 채널의 특성과 노이즈 등에 의해 신호의 왜곡이 발생된다. 왜곡된 수신신호로부터 원신호를 검출하여 복호하는 방법으로서 최우호 복호(Maximum Likelihood Sequence Estimation) 방법인 비터비 알고리즘을 사용하고 있다. 이 비터비 알고리즘은 수신기에서 데이터를 검출하는 검출방법으로서 좋은 성능을 갖고 있지만 이를 구현하기 위한 하드웨어량이 문턱값을 이용하여 데이터를 검출하는 문턱 검출방법에 비해 상당히 크기 때문에 보다 더 간단한 하드웨어로 구현하기 위한 구체화수단들이 제안되고 있다.

디지털 신호를 기록하고 재생하는 디지털 비디오 테이프 레코더와 같은 디지털 자기 기록재생장치에 있어서도 자기 채널을 통해 재생된 신호를 검출하는 검출기에서 재생특성이 열악한 상태에서 재생신호의 검출성능 향상을 위하여 비터비 알고리즘을 사용한 최우호 복호기(MLSE: Maximum Likelihood Sequence Estimator)를 사용하게 되었다.

도 1은 채널을 통해 전송된 신호로부터 원래의 데이터를 최우호 복호하는 비터비 검출기를 포함하는 디지털 자기 기록재생장치의 블록도이다. 도 1에 있어서, 입력 데이터를 NRZI(Non-Return to Zero Inversion) 형태의 신호로 출력하는 프리코더(100), 자기 테이프 상의 자화특성과 같은 미분특성을 갖는 자기 채널(102), 자기 채널(104)에 의한 진폭왜곡을 보상하는 선형등화기(106), 선형등화기(106)로부터 출력되는 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털(A/D) 변환기(108), A/D 변환기(108)로부터 출력되는 데이터로부터 원래의 데이터를 복호하기 위하여 비터비 알고리즘을 사용한 비터비 검출기(110)로 되어 있다. 이 프리코더(100)는 기록계에 해당하고, 선형등화기(106), A/D 변환기(108) 및 비터비 검출기(110)는 재생계(104)에 해당한다.

따라서, 입력 데이터(Ak)는 프리코더(102)에 의해 프리코딩되고, 프리코더(102)의 출력(Bk)은 자기 채널(104)에 기록된다. 자기 채널(104)로부터 재생된 출력신호(Rk)는 채널특성에 의해 왜곡된 성분을 선형등화기(106)에 의해 등화한다. 등화된 신호는 A/D 변환기(108)에 의해 디지털 신호로 변환된 후 비터비 검출기(110)에서 원래의 데이터로 복호된다.

도 2는 도 1에 도시된 프리코더(102)와 자기 채널(104)의 특성을 모델로 도시한 NRZI 시스템을 도시하고 있다. 도 2에 도시된 Ak는 시각 k에서의 프리코더(102)의 입력 데이터(-1과 1의 2차 부호화정보)이고, D는 입력데이터의 1심볼간격 지연을 나타내고, Bk는 시각 k에서의 프리코더(102)의 출력 데이터이고, Rk는 시각 k에서의 자기 채널(104)의 출력 데이터(-2, 0, 2의 3차 부호화정보)이다.

즉, 배타적 논리합 게이트(이하 XOR 게이트라고 함: 112)에서 입력 데이터(Ak)와 프리코더(102)의 출력(Bk)을 딜레이(D로 표기되어 있음: 114)에 의해 1심볼간격만큼 지연시킨 값(Bk-1)을 modulo-2 가산(addition)하여 입력 데이터를 NRZI코드로 변환한다. 여기서, 입력 데이터(Ak)는 실제로 0과 1로 표현되는 디지털 데이터이지만 1은 1로서, 0은 -1로서 맵핑되어진 데이터이다. 프리코더(102)의 출력(Bk)은 (1-D)의 미분특성을 갖는 자기 채널(104)을 통해 재생되어 출력 데이터(Rk)로 출력된다. 이 프리코더(102)를 1T 프리코더 또는 PR(1, -1)형 시스템이라고 한다.

도 3은 도 2의 NRZI 시스템의 특성에 따른 신호의 특성을 나타내는 상태도로서, 디지털 입력신호(Ak)와 채널을 통해 재생된 출력신호(Rk) 사이의 상태변화에 따른 입출력관계를 도시한다. 입력신호가 -1이고 현재상태가 S0k-1일 때 출력은 0이고 다음 상태는 S0k이 되며, 입력신호가 1이고 현재상태가 S0k-1일 때 출력은 2이고 다음 상태는 S1k이 된다. 또한, 입력신호가 -1이고 현재상태가 S1k-1일 때 출력은 0이고 다음 상태는 S1k이 되며, 입력신호가 1이고 현재상태가 S1k-1일 때 출력은 -2이고 다음 상태는 S0k이 된다.

도 3의 상태도에서 다음 상태의 평가량값은 현재상태의 평가량값, 수신된 값과 상태도에 따른 가정된 값을 이용하여 결정하게 된다. 즉, 다음 상태의 평가량값은, 현재상태에서 수신된 값과 패스의 가정된 값과의 차를 곱한 값 즉, 지로 평가량값에 현재 상태의 평가량값을 더하여 두 패스에 대한 패스평가량을 비교하여 보다 더 최적인 패스의 평가량값을 선택하게 되고, 이때 선택된 패스를 생존패스로 선택한다.

0 상태에 대한 다음 상태의 평가량값은 다음 수학적 식 1에 의해 얻을 수 있다.

[수학적 식 1]

$$S0_k = \min \{ S1_{k-1} + (R_k + 2)^2, S0_{k-1} + (R_k - 0)^2 \}$$

그리고, 1 상태에 대한 다음 상태의 평가량은 다음 수학적 2에 의해 얻을 수 있다.

[수학적 2]

$$S1_k = \min \{ S1_{k-1} + (R_k - 0)^2, S0_{k-1} + (R_k - 2)^2 \}$$

그러므로, 다음 상태의 평가량은 두 패스의 평가량을 서로 비교하여 평가값이 더 작은 쪽을 선택한다. 여기서, 상기 수학적 1 및 수학적 2에서 서로 공통되는 부분을 생략하여 수학적 1 및 수학적 2를 더 간단히 하면 수학적 3과 수학적 4로 주어진다.

[수학적 3]

$$S0_k = \min \{ S1_{k-1} + R_k + 1, S0_{k-1} \}$$

[수학적 4]

$$S1_k = \min \{ S1_{k-1}, S0_{k-1} - R_k + 1 \}$$

한편, 도 3에 도시된 상태도에 따른 생존패스의 예들은 도 4a 내지 도 4c에 도시되어 있다. 도 4a에 도시된 현재상태의 두 생존패스를 위의 수학적 3과 수학적 4를 이용하여 나타내면

$$S1_k = S1_{k-1}, S0_k = S0_{k-1}$$

이 될 때이다. 도 4a에 도시된 각 생존패스에 대한 확률은

$$S1_{k-1} + R_k + 1 \geq S0_{k-1}, S1_{k-1} \leq S0_{k-1} + R_k - 1$$

이 되어야 한다. 여기서,

$$\Delta_k = S0_k - S1_k$$

라 하면,

$$\Delta_{k-1} = S0_{k-1} - S1_{k-1}$$

이므로, 결국 도 4a에 도시된 현재상태의 두 생존패스가 위치해 있는 영역은

$$R_k - 1 \leq \Delta_{k-1} \leq R_k + 1$$

로 나타낼 수 있다.

마찬가지로, 도 4b에 도시된 현재상태의 두 생존패스를 위의 수학적 3과 수학적 4를 이용하여 나타내면

$$S1_k = S1_{k-1}, S0_k = S1_{k-1}$$

이 될 때이다. 이때 각 생존패스에 대한 확률은

$$S1_{k-1} \leq S0_{k-1} - R_k + 1, S1_{k-1} + R_k + 1 \leq S0_{k-1}$$

이 되어야 하므로

$$\Delta_{k-1} \geq R_k + 1$$

로 나타낼 수 있다.

또한, 도 4c에 도시된 현재상태의 두 생존패스를 위의 수학적 3과 수학적 4를 이용하여 나타내면

$$S1_k = S1_{k-1}, S0_k = S1_{k-1}$$

$$S1_k = S0_{k-1}, S0_k = S0_{k-1}$$

이 될 때이다. 이때, 각 생존패스에 대한 확률은

$$S1_{k-1} + R_k + 1 \geq S0_{k-1}, S1_{k-1} \geq S0_{k-1} + R_k - 1$$

로 되어야 하며,

$$\Delta_k \leq R_k - 1$$

로 나타낼 수 있다.

도 4a 내지 도 4c에 도시된 생존패스들이 위치해 있는 영역과 두 개의 생존패스의 차로 평가되는 차평가량(

$$\Delta_k$$

)을 수식으로 도시하면 아래와 같다.

[수학식 5]

$$R_k - 1 \leq \Delta_{k-1} \leq R_k + 1, \quad \Delta_k = \Delta_{k-1}$$

[수학식 6]

$$\Delta_{k-1} \geq R_k + 1, \quad \Delta_k = R_k + 1$$

[수학식 7]

$$\Delta_{k-1} \leq R_k - 1, \quad \Delta_k = R_k - 1$$

위 수학식 6 및 수학식 7에서 차평가량을 구성하는 신호인

$$\Delta_k = R_k + 1$$

$$\Delta_k = R_k - 1$$

에서 +1, -1은 문턱레벨값이다.

한편, 채널 특성에 의한 왜곡에 의해 수신신호의 전체적인 진폭의 크기가 변하게 된다. 이러한 수신신호의 진폭 크기의 오차에 의해 재생된 데이터의 크기는 가정된 데이터의 크기와 달라질 수 있으며 이 오차분에 대하여 적응적으로 보정하는 종래의 적응형 비터비 검출기의 회로도는 도 5에 도시되어 있으며, 이에 대한 구성 및 동작의 상세한 설명은 미합중국 특허번호 5,408,503호에 개시되어 있다. 도 5에 있어서, 적응형 비터비 검출기는 차평가량을 업데이트하는 메모리(120), 입력되는 신호(rk)와 문턱 레벨(

$$\alpha$$

)을 가산하는 가산기(122), 입력되는 신호(rk)와 문턱 레벨(

$$\alpha$$

)을 감산하는 감산기(124), 가산기(122)의 출력을 반전단(-)에 입력하고, 메모리(120)의 출력을 비반전단(+)에 입력하여 현재의 차평가량값과 메모리(120)로부터 출력되는 이전 차평가량값을 비교하여 신호(m+)를 출력하는 비교기(126), 메모리(120)의 출력을 반전단(-)에 입력하고 감산기(124)의 출력을 비반전단(+)에 입력하여 현재의 차평가량값과 이전 차평가량값을 비교하여 신호(m-)를 출력하는 비교기(128), 비교기(126)의 비교신호와 비교기(128)의 비교신호를 반전 논리합하여 신호(m0)를 출력하는 노아게이트(130), 비교기(126)의 비교신호에 따라 현재의 차평가량값을 선택하여 새로운 차평가량을 형성하는 출력신호(S)

△

k)를 메모리(120)에 업데이트하는 스위치(132), 노아게이트(130)의 출력에 따라 메모리(120)로부터 출력되는 이전 차평가량값을 선택해서 새로운 차평가량을 형성하는 출력신호(S)

△

k)를 메모리(120)에 업데이트하는 스위치(134), 비교기(128)의 비교신호에 따라 현재의 차평가량값을 선택하여 새로운 차평가량을 형성하는 출력신호(S)

△

k)를 메모리(120)에 업데이트하는 스위치(136), 비교기들(126, 128)과 노아게이트(130)로부터 출력되는 신호($m+$, $m-$, m_0)를 이용하여 레지스터 교환방법을 사용하여 수신신호를 원래의 신호로 복호하는 패스메모리(138)로 구성되어 있다.

이 패스메모리(138)의 오아게이트(144)에는 신호들($m+$, m_0)이 인가된다. 오아게이트(144)의 출력과 신호($m-$)는 시프트 레지스터(142)의 제어입력단들(SH, LP)에 각각 인가되고, 오아게이트(146)의 출력과 신호($m+$)는 시프트 레지스터(140)의 제어입력단들(SH, LP)에 각각 인가되어 있다. 고정된 로직 +1 값은 시프트 레지스터(142)의 입력단에 인가되고, 고정된 로직 -1 값은 시프트 레지스터(140)의 입력단에 인가되어 있다. 시프트 레지스터(140)의 각 셀 출력단은 시프트 레지스터(142)의 연속하는 셀의 입력단에 결합되어 있고, 반면에 시프트 레지스터(142)의 각 출력단은 시프트 레지스터(140)의 연속적인 셀의 입력단에 결합되어 있다.

여기서, 신호들 $m+$, m_0 , $m-$ 은 생존패스들이 어떻게 확장하는 지를 나타낸다. $m+$, m_0 , $m-$ 의 로직값은 차평가량

△

k)이 위치(situated)에 있는 영역에 의해 결정된다. 즉, 신호($m+$)가 액티브일 때는 현재상태가 도 4b에 도시된 생존패스를 갖는 경우이고, 신호(m_0)가 액티브일 때는 현재상태가 도 4a에 도시된 생존패스를 갖는 경우이고, 신호($m-$)가 액티브일 때는 현재상태가 도 4c에 도시된 생존패스를 갖는 경우이다.

그리고, 상기 비터비 검출기는 채널특성에 따른 왜곡에 의한 신호의 진폭의 변화를 고려하여 문턱레벨

△

)이 신호의 진폭변화를 따라 가도록 하여 신호의 검출성능을 개선하고 있다.

그러나, 상기 비터비 검출기는 차평가량을 구하기 위해 가산기와 감산기(122, 124), 두 개의 비교기(126, 128)와 세 개의 스위치(132, 134, 136)를 사용하였고, 또한 비교기들(126, 128)의 출력신호를 이용하여 원신호를 검출하는 패스메모리(138)는 레지스터 교환방법을 사용하였다. 이 레지스터 교환방법을 사용하기 위해서는 패스메모리(138)의 시프트 레지스터들(140, 142)의 각 셀은 멀티플렉서와 다 플립플롭들로 구성되어야 하므로 하드웨어량이 증가되는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 두 개의 상태에 대한 차평가량을 하나의 비교기를 사용하고, 패스메모리의 구조를 레지스터 교환방법이 아닌 생존패스의 값만을 저장함으로써 하드웨어량을 감소시키는 적응형 비터비 검출기를 제공하는 데 있다.

본 발명의 다른 목적은 디지털 자기 기록재생장치에 있어서 채널특성에 의한 재생신호의 진폭의 변동에 의해 복호된 신호의 비트에러레이트(BER)의 열화를 방지하기 위해 재생신호의 진폭에 따라 문턱레벨값을 적응적으로 검출하여 재생신호를 복호함으로써 BER의 성능을 향상시키는 적응형 비터비 검출기를 제공하는 데 있다.

상기의 목적들을 달성하기 위하여, 본 발명에 의한 적응형 비터비 검출기는 채널을 통해 출력되는 수신신호로부터 원래의 데이터를 검출하는 데이터 검출기에 있어서:

현재 상태의 두 개의 생존패스의 확률차를 측정하기 위한 차평가량값을 검출하는 검출수단; 상기 차평가량값을 갱신하는 메모리수단; 상기 메모리수단으로부터 출력되는 이전 차평가량값과 상기 검출수단으로부터 출력되는 현재 차평가량값을 비교하여 수신신호가 트래리도스상에서 합류된 상태를 나타내는 업데이트신호를 발생시키는 발생수단; 바로 전 합류될 때의 이전 수신신호의 부호비트와 현재 수신신호의 부호비트에 따라 검출데이터를 추출하는 추출수단; 및 상기 업데이트신호에 따라 상기 검출데이터를 저장하여 최종 생존패스에 해당하는 데이터를 저장하는 패스메모리를 포함함을 특징으로 하고 있다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명에 의한 적응형 비터비 검출기의 바람직한 실시예를 설명하기로 한다.

도 6은 본 발명에 의한 적응형 비터비 검출기의 구성회로도이다. 도 6에 있어서, 재생된 수신신호(RK)는 문턱레벨 검출기(200) 및 가산기(204)의 일단에 입력되고 있다. 배타적 반전 논리합 게이트(이하 XNOR 게이트라고 함; 202)의 제1 입력단은 문턱레벨 검출기(200)의 출력단에 결합되고, 제2 입력단으로는 수신신호(RK)의 최상위비트(이하 부호비트라고 함)를 입력하고, 그 출력단은 가산기(204)의 타단에 접속되어 있다. 또한, 수신신호(RK)의 부호비트는 XNOR 게이트들(210, 214)의 각 일단과 메모리소자(212)의 입력단(D)에 인가되고 있다. 가산기(204)의 출력단은 메모리소자(206)의 입력단(D)과 비교기(208)의 비반전단(+)에 공통 접속되어 있다. 비교기(208)의 반전단(-)은 메모리소자(206)의 출력단(Q)에 접속되고, 그 출력단은 XNOR 게이트(210)의 타단에 접속되어 있다. XNOR 게이트(210)의 출력단은 메모리소자들(206, 212)의 인에이블단(en), 멀티플렉서(SEL로 표기되어 있음; 216)의 선택제어단 및 패스에모리(218)의 제어단에 접속되어 있다. XNOR 게이트(214)의 타단은 메모리소자(212)의 출력단(Q)에 접속되고, 그 출력단은 멀티플렉서(216)의 제1 입력단(1)에 접속되어 있다. 멀티플렉서(216)의 제2 입력단(0)으로는 0이 입력되고 있다. 패스에모리(218)의 데이터 입력단은 멀티플렉서(216)의 출력단에 접속되고, 클럭단으로는 구동클럭(CLK)이 인가되고, 출력단으로는 최종 복호데이터를 출력한다. 여기서, 메모리소자들(206, 212)은 다들립 플롭들로 구성될 수 있다.

문턱레벨 검출기(200)는 채널 특성에 의한 왜곡에 의해 수신신호(RK)의 진폭이 변동(fluctuation)되며, 이 변동에 적응하여 수신신호(RK)의 문턱레벨값(th)을 검출한다. 여기서, 수학적 식 6 및 수학적 식 7에서 차평균값을 구성하는 신호인

$$\Delta_i = R_i + 1$$

와

$$\Delta_i = R_i - 1$$

에서 +1과 -1은 가정한 신호값에 대한 문턱레벨값(th)이고, 이 문턱레벨값(+1, -1)은 크기가 같고 부호가 다르므로 문턱레벨 검출기(200)에서는 수신신호(RK)의 진폭의 변동에 적응하는 문턱레벨의 절대값(th)을 검출한다.

XNOR 게이트(202)는 문턱레벨의 절대값(th)과 수신신호(RK)의 부호비트(MSB)를 배타적 반전 논리합해서 수신신호(RK)의 부호비트에 따라 검출된 문턱레벨 또는 부호가 반전된 문턱레벨을 출력한다. 가산기(204)는 3차 부호화정보(+2, 0, -2)를 가지며 n비트(여기서는 5비트)로 표현되는 수신신호(RK)와 XNOR 게이트(202)의 출력을 가산해서 현재 차평균값을 출력한다. 즉, XNOR 게이트(202)에 입력되는 수신신호의 부호비트(MSB)가 1이면 음(negative)의 값을 갖는 수신신호(RK)이므로, 이 음의 값을 갖는 수신신호와 문턱레벨 검출기(200)에서 출력되는 항상 양(positive)의 값을 갖는 문턱레벨과 배타적 반전 논리합하면 XNOR 게이트(202)의 출력은 문턱레벨 검출기(200)에서 검출된 그대로의 문턱레벨값이 되고, 가산기(204)의 출력은 수학적 식 6과 같은 형태의 현재 차평균값을 검출하게 된다. 이때, 현재상태의 두 생존패스는 도 4b에 도시된 바와 같다. 또한 XNOR 게이트(202)에 입력되는 수신신호(RK)의 부호비트(MSB)가 0이면 양의 값을 갖는 수신신호(RK)이므로, 양의 값을 갖는 수신신호와 양의 값을 갖는 문턱레벨을 반전 배타적 논리합하면 XNOR 게이트(202)의 출력은 부호가 반전된 문턱레벨(네가티브 문턱레벨)이 되고, 가산기(204)의 출력은 수학적 식 7과 같은 형태의 현재 차평균값을 검출하게 된다. 이때, 현재상태의 두 생존패스는 도 4c에 도시된 바와 같다.

가산기(204)로부터 출력되는 현재 차평균값은 메모리소자(206)에 업데이트신호(UK)에 따라 업데이트된다. 그리고, 이 현재 차평균값의 부호비트를 반전하여 비교기(208)의 비반전단(+)에 인가하고, 메모리(206)에 저장된 이전 차평균값의 부호비트를 반전하여 비교기(208)의 반전단(-)에 인가한다. 비교기(208)에서는 반전된 현재 차평균값의 부호비트와 반전된 이전 차평균값의 부호비트를 비교해서 현재의 차평균값이 이전 차평균값보다 크면 1을 출력한다. 따라서, 본 발명에서는 두 개의 상태에 대한 차평균값을 한 개의 비교기(208)를 사용하여 구하게 된다.

이 비교기(208)의 출력은 XNOR 게이트(210)에서 수신신호(RK)의 부호비트(MSB)와 배타적 논리합되어 트레리스도(Trellis diagram) 상에서 신호가 합류(merge)된 것을 나타내는 업데이트신호(UK)를 발생한다. 즉, XNOR 게이트(210)에서는 도 4b와 도 4c에 도시된 바와 같은 생존패스를 갖는 경우 로직 1의 업데이트신호(UK)를 출력하고, 도 4a에 도시된 바와 같은 생존패스를 갖는 경우 로직 0의 업데이트신호(UK)를 출력한다.

부가적으로, 비교기(208)에서 현재 차평균값의 부호비트와 이전 차평균값의 부호비트를 비교하는 것은 회로를 간단히 하기 위해서이고, 또한 반전된 부호비트를 서로 비교하는 것은 트레리스도상에서 신호가 합류된 경우에 XNOR 게이트(210)에서 업데이트신호(UK)를 발생할 수 있기 때문이다. 이 로직 1의 업데이트신호(UK)가 발생할 때만 메모리소자(206)에서는 가산기(204)로부터 출력되는 현재 차평균값(새로운 차평균)을 업데이트하고, 로직 0의 업데이트신호(UK)가 발생하면 메모리소자(206)에서는 이전 차평균값을 유지하고 있다.

또한, 수신신호(RK)의 부호비트는 XNOR 게이트(210)로부터 출력되는 로직 1의 업데이트신호(UK)에 따라 메모리소자(212)에 저장되고, XNOR 게이트(214)는 바로 전 합류될 시의 이전 수신신호의 부호비트와 현재 수신신호의 부호비트를 배타적 논리합해서 검출데이터를 출력한다.

멀티플렉서(216)에서는 업데이트신호(UK)가 로직 1이면 XNOR 게이트(214)로부터 출력되는 검출데이터를 선택해서 패스에모리(218)에 입력하고, 업데이트신호(UK)가 로직 0이면 제2 입력단(0)에 인가되고 있는 0을 선택해서 패스에모리(218)에 입력한다. 즉, 업데이트신호(UK)가 로직 0인 경우 다시 말해서, 트레리스도상에서 도 4a에 도시된 바와 같은 생존패스를 가지는 경우에는 수신신호(RK)의 부호비트에 상관없이 0을 검출데이터로서 패스에모리(218)에 입력하기 위함이다. 패스에모리(218)는 멀티플렉서(216)를 통해 출력되는 검출데이터(DATA)와 XNOR 게이트(210)에서 발생한 업데이트신호(UK)를 이용하여 원신호를 검출한다.

도 7은 도 6에 도시된 문턱레벨 검출기(200)의 상세회로도이다. 도 7에 있어서, 수신신호(RK)를 입력하는 절대치 회로(220)의 출력단은 비교기(222)의 비반전단(+)과 멀티플렉서(226)의 제2 입력단(1)에 공통 결합되어 있다. 멀티플렉서(226)의 제1 입력단(0)은 딜레이(224)의 출력단에 접속되고, 선택제어단(sel)은 비교기(222)의 출력단에 접속되고, 그 출력단은 딜레이(224)의 입력단에 접속되어 있다. 가산기(228)의 일단은 멀티플렉서(226)의 출력단에 접속되고, 타단은 딜레이(232)의 출력단에 접속되고, 그 출력단은 승산기(230)의 입력단에 접속되어 있다. 승산기(230)의 출력단은 딜레이(232)의 입력단과 승산기(234)의 입력단에 공통 결합되어 있고, 승산기(234)의 출력단은 비교기(222)의 반전단(-)에 결합되어 있다. 여기서, 승산기들(230, 234)은 단순히 입력되는 신호를 1비트 시프트하는 시프터로 구성될 수 있다.

수신신호(RK)는 절대치 회로(220)에서 양의 값으로 변환하고, 비교기(222)에서는 절대치 회로(220)의 출력값과 승산기(234)로부터 출력되는 이전에 구한 문턱레벨값(th)을 비교해서 선택신호를 멀티플렉서(226)의 선택제어단(sel)에 출력한다. 비교기(222)에서는 수신신호의 절대값이 문턱레벨값(th)보다 크면 멀티플렉서(226)에서 절대치 회로(220)로부터 출력되는 현재 수신신호의 절대값을 선택하도록 로직 1의 선택신호를 출력하고, 작으면 딜레이(224)로부터 출력되는 이전 수신신호의 절대값을 선택하도록 로직 0의 선택신호를 출력한다. 멀티플렉서(226)에서 선택된 값은 딜레이(232)를 통해 출력되는 이전의 값과 가산되고 이 가산된 값은 승산기(230)에서 1/2로 승산해서 딜레이(232)에 입력함과 동시에 승산기(234)에 입력한다. 승산기(234)에서는 승산기(230)의 출력을 다시 1/2로 승산해서 문턱레벨값(th)으로 출력한다.

도 8은 도 6에 도시된 패스에모리의 상세회로도이다. 도 8에 있어서, 클럭(CLK)은 어드레스 카운터(236)의 클럭단에 입력되고, 어드레스 카운터(236)의 출력단은 멀티플렉서(240)의 제1 입력단(0)과 디멀티플렉스로 구성될 수 있는 메모리소자(238)의 입력단(D)에 공통적으로 결합되어 있다. 도 6에 도시된 XOR 게이트(210)로부터 출력되는 업데이트신호(UK)는 메모리소자(238)의 인에이블단(en) 및 멀티플렉서(240)의 선택제어단(sel)에 인가된다. 디멀티플렉서(DEMUX)로 포기되어 있음(242)의 입력단으로는 도 6에 도시된 멀티플렉서(216)로부터 출력되는 검출데이터(DATA)를 입력하고, 선택제어단(sel)은 멀티플렉서(240)의 출력단에 접속되고, 그 다수의 출력단은 병렬-직렬(P/S) 변환기(244)의 다수의 입력단에 각각 연결되고, P/S 변환기(244)의 출력단으로 최종 복호데이터가 출력된다. 여기서, 어드레스 카운터(236), 메모리소자(238) 및 멀티플렉서(240)은 어드레스 발생기로 지칭될 수 있다.

즉, 이 어드레스발생기는 검출데이터(DATA)의 복호순서를 수신신호의 시퀀스에 대응하기 위하여 업데이트신호(UK)를 이용하여 수신신호의 시퀀스에 대응한 어드레스신호(ADDR)를 발생한다. 즉, 어드레스 카운터(236)는 클럭에 따라 m 비트(여기서는 4비트)의 어드레스 즉, 0에서 15까지의 어드레스를 순차적으로 카운트한다. 이 어드레스 카운터(236)에서 발생한 어드레스는 신호가 합류될 때 발생하는 업데이트신호(UK)에 따라 메모리소자(238)에 저장된다. 멀티플렉서(240)에서는 로직 1의 업데이트신호(UK)가 발생할 때마다 메모리소자(238)에 저장된 어드레스를 선택하고, 그렇지 않으면 어드레스 카운터(236)에서 발생하는 어드레스를 선택해서 검출데이터의 실제 복호순서에 해당하는 어드레스신호(ADDR)를 출력한다. 디멀티플렉서(242)에서는 멀티플렉서(240)에서 발생하는 어드레스신호(ADDR)에 따라 검출데이터(DATA)를 P/S 변환기(244)에 출력하고, P/S 변환기(244)로부터 직렬신호로 최종 복호된 데이터를 출력한다.

도 9a는 본 발명의 이해를 돕기 위한 시각(t=1)에서 시각(t=8)까지의 생존패스를 나타낸 트래리스토도와 이에 따른 복호데이터를 나타내고 있고, 도 9b는 도 9a에 도시된 트래리스토도에 따른 도 6에 도시된 각 부의 출력을 나타낸 테이블이다.

본 발명의 적응형 비터비 검출기는 (1-D)의 전달함수를 갖는 채널뿐만 아니라 (1-D·n) 또는 (1+D·n)의 전달함수 특성을 갖는 채널에서도 n개의 비터비 검출기를 사용하여 구현할 수 있다. 또한, 본 발명의 문턱레벨 검출기는 적분기와 로우패스필터를 사용하여 구현할 수도 있다.

발명의 효과

본 발명의 적응형 비터비 검출기는 두 개의 상태에 대한 차 평가량을 하나의 비교기를 사용하여 구하고, 패스에모리의 구조는 레지스터 교환방법이 아닌 생존패스의 값만을 저장함으로써 전체 하드웨어량을 감소시킬 수 있는 효과가 있다.

또한, 본 발명의 적응형 비터비 검출기는 채널의 비선형특성과 채널응답특성의 비대칭성 및 헵트릭에 의한 트래킹의 비선형성 등에 의한 수신신호의 진폭의 변화를 고려하여 검출한 문턱레벨을 이용함으로써 신호의 검출성능을 개선하는 효과가 있다.

따라서, 본 발명은 디지털 자기 기록재생장치와 같은 PR 시스템에서 하드웨어 구현을 단순화하고, SNR(Signal to Noise Ratio)을 향상시키고, 신제품 적용시 원가절감의 효과가 있다.

(57)장구의 범위

청구항1

채널을 통해 출력되는 수신신호로부터 원래의 데이터를 검출하는 데이터 검출기에 있어서:

현재 상태의 두 개의 생존패스의 확률차를 측정하기 위한 차평가량값을 검출하는 검출수단;

상기 차평가량값을 갱신하는 메모리수단;

상기 메모리수단으로부터 출력되는 이전 차평가량값과 상기 검출수단으로부터 출력되는 현재 차평가량값을 비교하여 수신신호가 트래리스토도상에서 합류된 상태를 나타내는 업데이트신호를 발생하는 발생수단;

바로 전 합류될 때의 이전 수신신호의 부호비트와 현재 수신신호의 부호비트에 따라 검출데이터를 추출하는 추출수단; 및

상기 업데이트신호에 따라 상기 검출데이터를 저장하여 최종 생존패스에 해당하는 데이터만을 저장하는 패스메모리를 포함함을 특징으로 하는 비터비 검출기.

청구항2

제1항에 있어서, 상기 검출수단은

수신신호의 진폭에 응답하는 문턱레벨의 절대값을 검출하는 문턱레벨 검출기;

상기 문턱레벨의 절대값과 수신신호의 부호비트를 논리적 연산하여 상기 문턱레벨 검출기로부터 출력되는 문턱레벨 또는 부호가 반전된 문턱레벨중 하나를 출력하는 논리소자; 및

상기 수신신호와 상기 논리소자의 출력을 가산하여 새로운 차평균값을 출력하는 가산기를 포함함을 특징으로 하는 비터비 검출기.

청구항3

제1항에 있어서, 상기 발생수단은

상기 현재 차평균값의 반전 부호비트와 상기 이전 차평균값의 반전 부호비트를 비교하는 비교기; 및

상기 비교기의 출력과 상기 수신신호의 부호비트를 논리적 연산하여 업데이트신호를 출력하는 논리소자를 포함함을 특징으로 하는 비터비 검출기.

청구항4

제1항에 있어서, 상기 메모리수단은 상기 업데이트신호에 따라 상기 검출수단에서 검출된 새로운 차평균값을 갱신함을 특징으로 하는 비터비 검출기.

청구항5

채널을 통해 출력되는 수신신호를 최우호 복호하여 원래의 신호를 검출하는 비터비 검출기를 구비한 부분응답 시스템에 있어서, 상기 비터비 검출기는,

상기 수신신호의 진폭에 응답하는 문턱레벨을 검출하는 제1 검출기;

상기 문턱레벨을 상기 수신신호에 가산하여 차평균값을 검출하는 제2 검출기;

상기 차평균값을 갱신하는 메모리;

상기 메모리로부터 출력되는 이전 차평균값의 부호비트와 상기 제2 검출기로부터 출력되는 현재 차평균값의 부호비트를 비교하여 신호가 합류된 상태임을 나타내는 업데이트신호를 발생하는 발생기;

상기 업데이트신호에 따라 바로 전 합류될 때의 이전 수신신호의 부호비트와 현재 수신신호의 부호비트를 이용하여 검출데이터를 검출하는 제3 검출기; 및

상기 검출데이터를 상기 업데이트신호에 따라 저장하여 최종 생존패스에 해당하는 복호데이터를 저장하는 패스메모리를 포함함을 특징으로 하는 비터비 검출기.

청구항6

제5항에 있어서, 상기 문턱레벨 검출기는

상기 수신신호의 절대치를 출력하는 절대치회로;

상기 절대치와 이전 문턱레벨을 비교하여 비교신호를 출력하는 제1 비교기;

상기 비교신호에 따라 제1 지연신호와 상기 절대치회로의 출력 중 하나를 선택하는 제1 선택기;

상기 제1 선택기의 출력신호를 지연하여 상기 제1 지연신호를 출력하는 제1 지연기;

상기 제1 선택기의 출력신호와 제2 지연신호를 가산하는 제1 가산기;

상기 제1 가산기의 출력을 제1 소정값으로 승산하는 제1 승산기;

상기 제1 승산기의 출력을 지연하여 상기 제2 지연신호를 출력하는 제2 지연기; 및

상기 제1 가산기의 출력을 제2 소정값으로 승산하여 문턱레벨로 출력함과 동시에 상기 제1 비교기에 이전 문턱레벨로서 피드백하는 제2 승산기를 포함함을 특징으로 하는 비터비 검출기.

청구항7

제5항에 있어서, 상기 제2 검출기는

상기 문턱레벨의 절대값과 수신신호의 부호비트를 논리적 연산하여 상기 문턱레벨 검출기로부터 출력되는 문턱레벨 또는 부호가 반전된 문턱레벨중 하나를 출력하는 제1 논리소자; 및

상기 수신신호와 상기 제1 논리소자의 출력을 가산하여 새로운 차평균값으로 출력하는 제2 가산기를 포함함을 특징으로 하는 비터비 검출기.

청구항8

제5항에 있어서, 상기 발생기는

상기 현재 차평균가량값의 반전 부호비트와 상기 이전 차평균가량값의 반전 부호비트를 비교하는 제2 비교기; 및

상기 제2 비교기의 출력과 상기 수신신호의 부호비트를 논리적 연산하여 업데이트신호를 출력하는 제2 논리소자를 포함함을 특징으로 하는 비터비 검출기.

청구항9

제5항에 있어서, 상기 메모리는 상기 업데이트신호에 따라 상기 제2 검출기에서 검출된 새로운 차평균가량값을 갱신함을 특징으로 하는 비터비 검출기.

청구항10

제5항에 있어서, 상기 제3 검출기는

상기 수신신호의 부호비트를 업데이트신호에 따라 저장하는 제1 메모리소자;

상기 수신신호의 부호비트와 상기 제1 메모리소자로부터 출력되는 이전 수신신호의 부호비트를 논리 연산하는 제3 논리소자; 및

상기 업데이트신호에 따라 제3논리소자의 출력 또는 외부로부터 인가되는 로직 0 중 하나를 선택해서 검출데이터로 출력하는 제2 선택기를 포함함을 특징으로 하는 비터비 검출기.

청구항11

제5항에 있어서, 상기 패스메모리는

상기 업데이트신호를 이용하여 실제 수신신호의 순서에 대응한 복호 어드레스신호를 발생하는 어드레스 발생기;

상기 복호 어드레스신호에 따라 상기 검출데이터를 디멀티플렉싱하는 디멀티플렉서; 및

상기 디멀티플렉서의 출력데이터를 직렬데이터로 출력하는 병렬-직렬 변환기를 포함함을 특징으로 하는 비터비 검출기.

청구항12

제11항에 있어서, 상기 어드레스 발생기는

소정 주기로 순차적인 어드레스를 카운트하는 어드레스 카운터;

상기 어드레스 카운터에서 카운트된 어드레스를 상기 업데이트신호에 따라 저장하는 제2 메모리소자; 및

상기 업데이트신호에 따라 상기 어드레스 카운터의 출력과 상기 제2 메모리소자의 출력 중 하나를 선택해서 복호 어드레스신호를 출력하는 제3 선택기를 포함함을 특징으로 하는 비터비 검출기.

청구항13

자기채널을 통해 출력되는 재생신호를 복호하는 비터비 검출기를 구비한 디지털 자기 기록재생장치에 있어서, 상기 비터비 검출기는,

상기 재생신호의 진폭의 변화에 적응한 문턱레벨의 절대값을 검출하는 문턱레벨 검출기;

상기 문턱레벨의 절대값과 상기 재생신호의 부호비트를 논리 연산하여 상기 문턱레벨 검출기에서 검출된 문턱레벨 또는 부호가 반전된 문턱레벨중 하나를 출력하는 배타적 반전 논리합 게이트;

상기 재생신호와 상기 배타적 반전 논리합 게이트의 출력을 가산하여 현재 차평균가량값을 출력하는 제1 가산기;

상기 차평균가량값을 갱신하는 제1 메모리소자;

상기 제1 가산기로부터 출력되는 현재 차평균가량값의 반전 부호비트와 상기 제1 메모리소자로부터 출력되는 이전 차평균가량값의 반전 부호비트를 비교하는 제1 비교기;

상기 제1 비교기의 출력과 상기 재생신호의 부호비트를 논리 연산하여 업데이트신호를 발생하는 제1 배타적 논리합 게이트;

상기 재생신호의 부호비트를 상기 업데이트신호에 따라 저장하는 제2 메모리소자;

상기 재생신호의 부호비트와 상기 제2 메모리소자로부터 출력되는 이전신호의 부호비트를 논리 연산하는 제2 배타적 논리합 게이트;

상기 업데이트신호에 따라 제2 배타적 논리합게이트의 출력 또는 외부로부터 인가되는 로직 0 중 하나를 선택해서 검출데이터로 출력하는 제1 선택기; 및

상기 검출데이터를 상기 업데이트신호에 따라 저장하여 최종 생존패스에 해당하는 복호데이터를 저장하는 패스메모리를 포함함을 특징으로 하는 비터비 검출기.

청구항14

제13항에 있어서, 상기 문턱레벨 검출기는

상기 재생신호의 절대치를 출력하는 절대치회로;

상기 절대치와 이전 문턱레벨을 비교하여 비교신호를 출력하는 제2 비교기;

상기 비교신호에 따라 제1 지연신호와 상기 절대치회로의 출력중 하나를 선택하는 제2 선택기;

상기 제2 선택기의 출력신호를 지연하여 상기 제1 지연신호를 출력하는 제1 지연기;

상기 제2 선택기의 출력신호와 제2 지연신호를 가산하는 제2 가산기;

상기 제2 가산기의 출력을 제1 소정값으로 승산하는 제1 승산기;

상기 제1 승산기의 출력을 지연하여 상기 제2 지연신호를 출력하는 제2 지연기; 및

상기 제2 가산기의 출력을 제2 소정값으로 승산하여 문턱레벨로 출력함과 동시에 상기 제2 비교기에 이전 문턱레벨로서 피드백하는 제2 승산기를 포함함을 특징으로 하는 비터비 검출기.

청구항15

제13항에 있어서, 상기 제1 메모리소자는 상기 업데이트신호에 따라 상기 제1 가산기로부터 출력되는 차평균값을 갱신함을 특징으로 하는 비터비 검출기.

청구항16

제13항에 있어서, 상기 패스메모리는

상기 업데이트신호를 이용하여 실제 재생신호의 순서에 대응한 복호 어드레스신호를 발생하는 어드레스 발생기;

상기 복호 어드레스신호에 따라 상기 검출데이터를 디멀티플렉싱하는 디멀티플렉서; 및

상기 디멀티플렉서의 출력데이터를 직렬데이터로 출력하는 병렬-직렬 변환기를 포함함을 특징으로 하는 비터비 검출기.

청구항17

제16항에 있어서, 상기 어드레스 발생기는

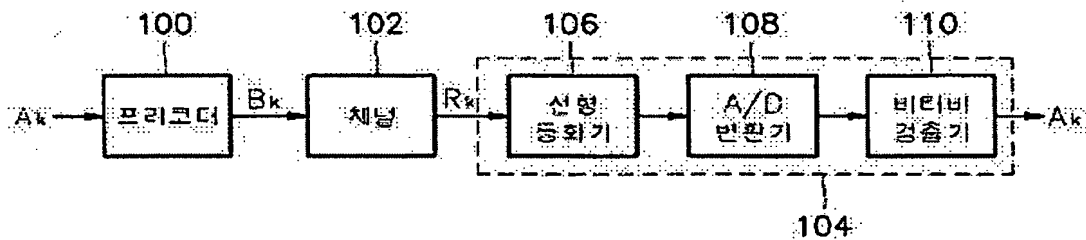
소정주기로 순차적인 어드레스를 카운트하는 어드레스 카운터;

상기 어드레스 카운터에서 카운트된 어드레스를 상기 업데이트신호에 따라 저장하는 제3 메모리소자; 및

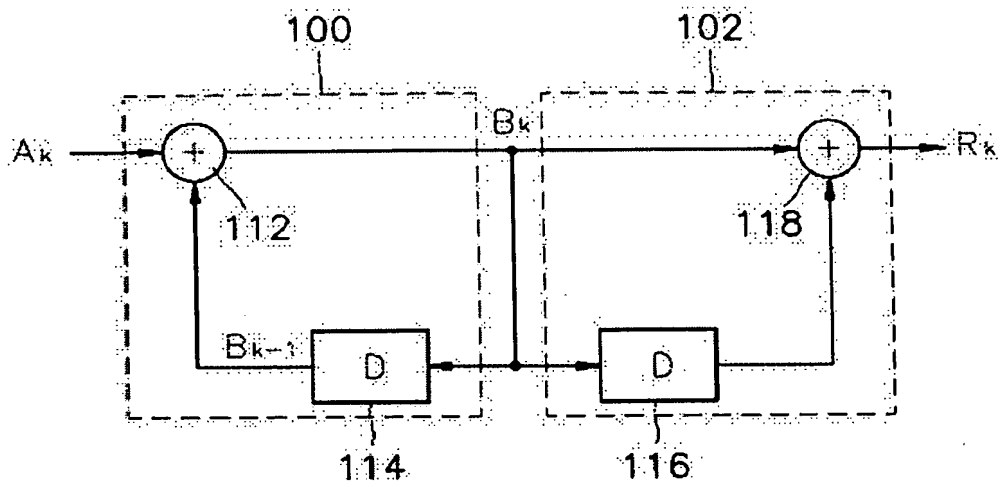
상기 업데이트신호에 따라 상기 어드레스 카운터의 출력과 상기 제3 메모리소자의 출력중 하나를 선택해서 복호 어드레스신호를 출력하는 제3 선택기를 포함함을 특징으로 하는 비터비 검출기.

도면

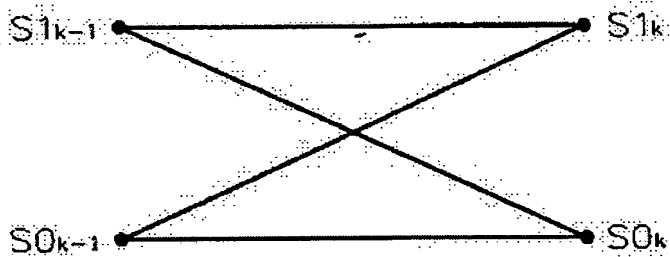
도면1



도면2



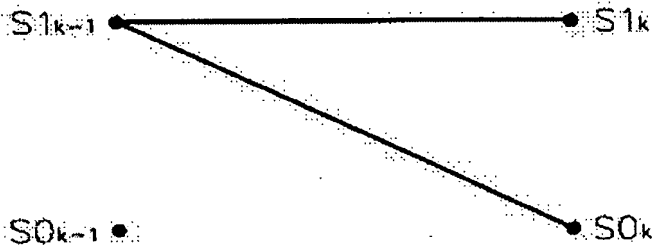
도면 3



도면 4a



도면 4b



도면 4c

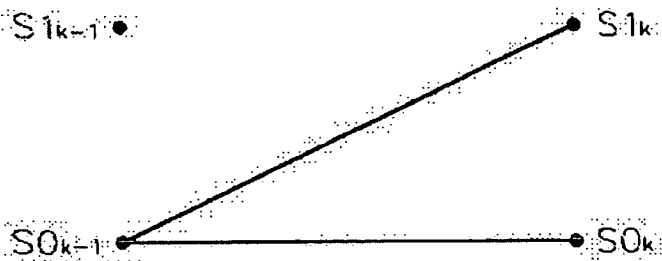


Fig 5

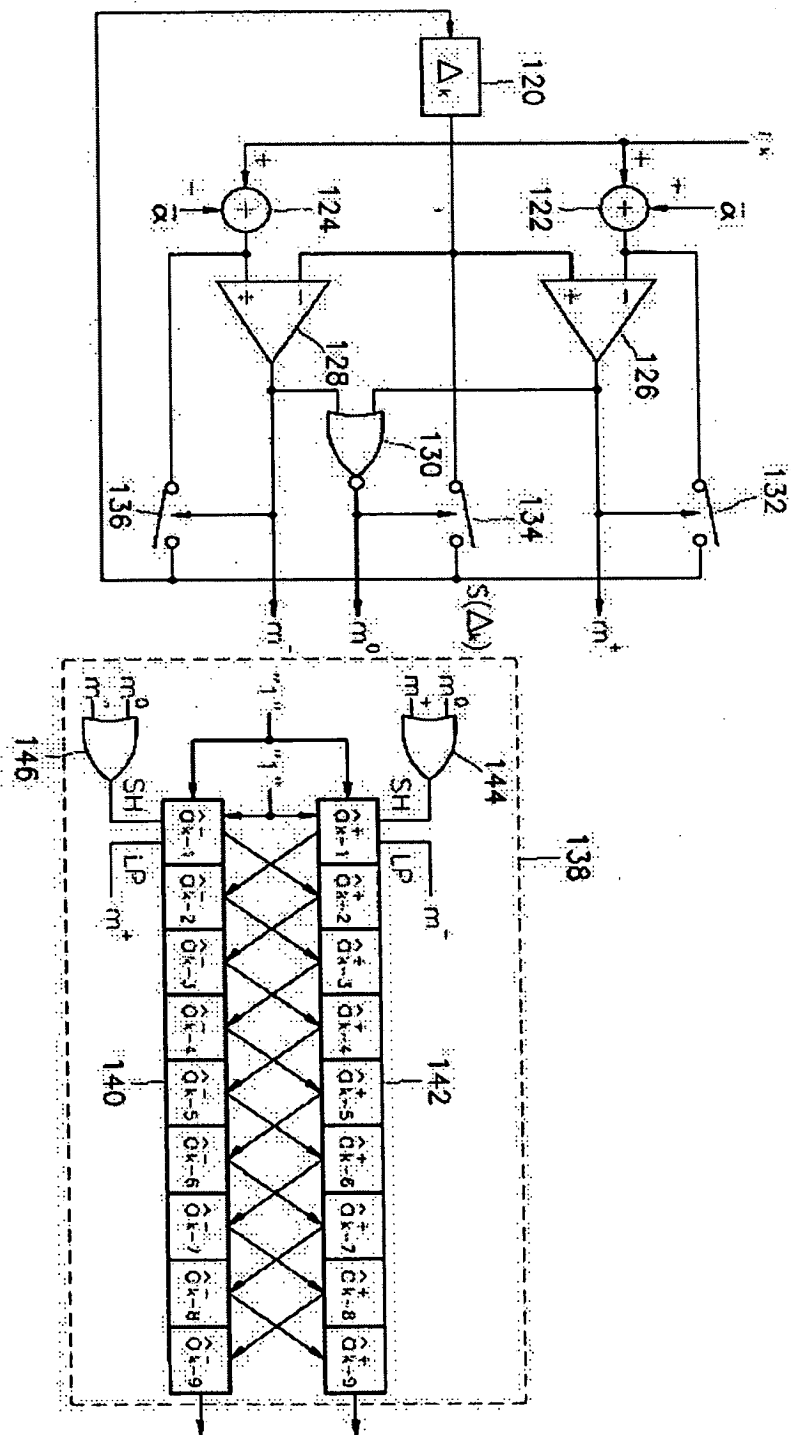
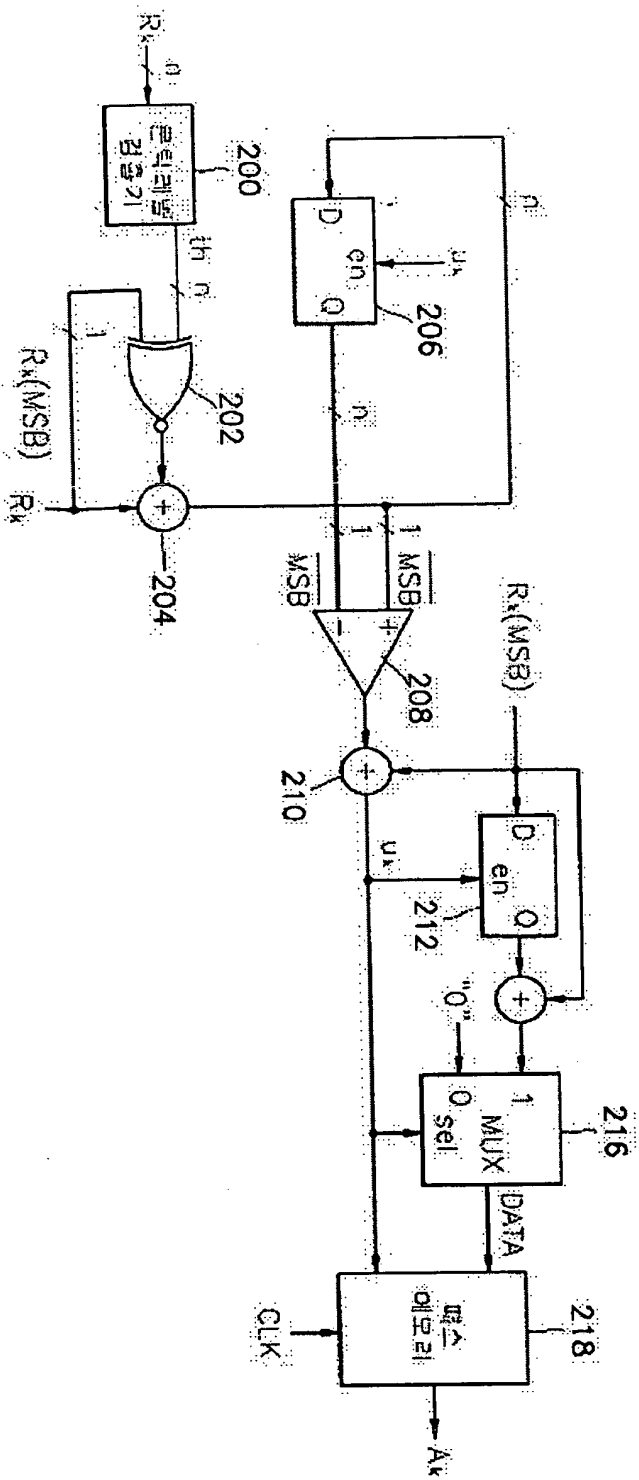


Fig 6



Proposition

1

1

0

1

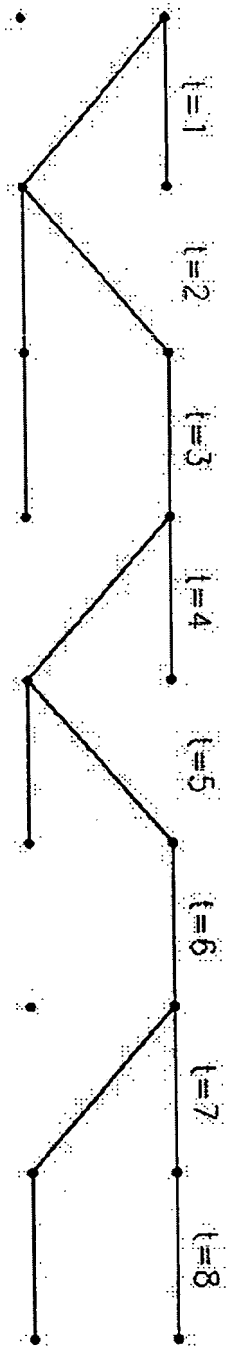
1

0

1

0

FSM



시리얼 각부출력	t=1	t=2	t=3	t=4	t=5	t=6	t=7	t=8
R _k (MSB)	1	0	DON'T CARE	1	0	DON'T CARE	1	DON'T CARE
u _k	1	1	0	1	1	0	1	0
DATA		1	0	1	1	0	1	0
이드레스카운터 (236)의 출력	1	2	3	4	5	6	7	8
메모리소재(238) 의 인/출력	1/·	2/①	③/2	4/②	5/④	⑥/5	7/⑤	⑧/7
ADDR		1	3	2	4	6	5	8
A _k		1	1	0	1	1	0	